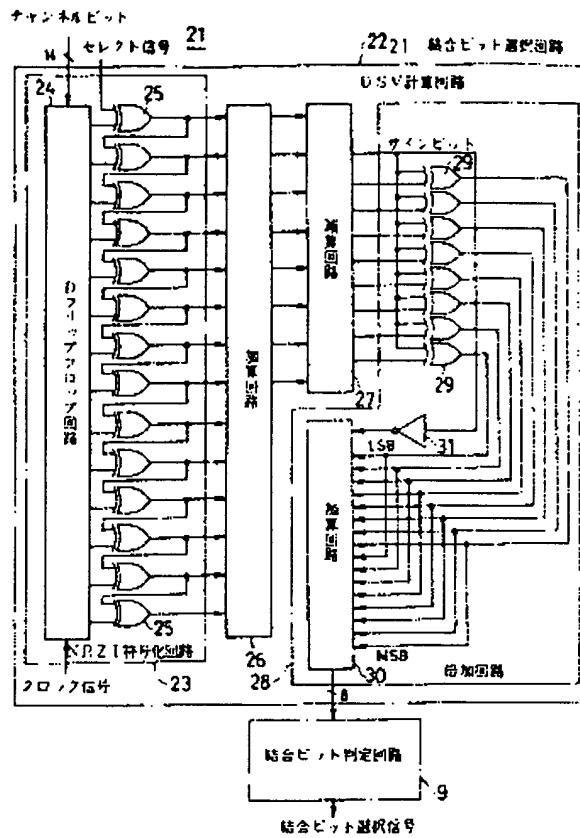


# MicroPatent® Worldwide PatSearch: Record 1 of 1

BEST AVAILABLE COPY



[Family Lookup](#)

**JP02114724**  
**EFM MODULATOR**  
**NEC HOME ELECTRON LTD**  
**Inventor(s): ;YAMAGATA KAZUHIRO**  
**Application No. 63267261 , Filed 19881025 , Published 19900426**

## Abstract:

**PURPOSE:** To quicken the DSV calculation by selecting a 14-bit channel bit obtained through code conversion to be a parallel data subject to NRZI coding, and calculating a DSV corresponding to a difference between full bit addition of the parallel data and a full inverted bit addition.

**CONSTITUTION:** A channel 14-bit sent from a 8/14 conversion ROM is converted by an NRZI conversion circuit 23 of the 1st stage of a DSV calculation circuit 22 from an NRZ code into an NRZI code. All channel bits converted into an NRZI code are used as a parallel input of the next stage adder circuit 26. The adder circuit 26 adds all bits of the NRZI code. The output of the adder circuit 26 is an LSB (labeled 31). The output of the adder circuit 26 is also fed into a DSV calculation circuit 2221. The DSV calculation circuit 2221 also receives a 14-bit channel bit input (labeled 21) and produces a DSV output. The DSV output is then converted back to an NRZI code by an NRZI conversion circuit (labeled 23). This NRZI code is then converted to a parallel data format by an NRZI conversion circuit (labeled 25). The parallel data is then processed by a DSV calculation circuit (labeled 2221) which also receives the output of the NRZI conversion circuit 25. The output of the DSV calculation circuit 2221 is then converted back to an NRZI code by an NRZI conversion circuit (labeled 23). The final output is an NRZI code.

data. A doubler circuit 28 calculates a difference between number N of bits '1' and number of bits '0' included in the channel 14-bit subject to, that is, a DSV of the channel bit itself. Thus, a combined bit is selected in the shortest time and the time required for EFM modulation is reduced.

COPYRIGHT: (C)1990, JPO&Japio

Int'l Class: H03M00714

MicroPatent Reference Number: 000980073

COPYRIGHT: (C) JPO



---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

## ⑫ 公開特許公報 (A)

平2-114724

JP02114724

⑬ Int. Cl. 5

H 03 M 7/14

識別記号

府内整理番号

B 6832-5 J

⑭ 公開 平成2年(1990)4月26日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 EFM変調器

⑯ 特願 昭63-267261

⑰ 出願 昭63(1988)10月25日

⑱ 発明者 山縣一弘 大阪府大阪市淀川区宮原3丁目5番24号 日本電気ホームエレクトロニクス株式会社内

⑲ 出願人 日本電気ホームエレクトロニクス株式会社 大阪府大阪市淀川区宮原3丁目5番24号

## 明細書

## 1. 発明の名称

EFM変調器

## 2. 特許請求の範囲

(1) 8ビットのデータビットを一定のビット変換規則に従って14ビットのチャンネルビットに符号変換するとともに、相前後するチャンネルビット間に、前記ビット変換規則を満たす4種類の候補のなかから選択した結合後の直流成分を最小とする3ビットの結合ビットを挿入し、NRZI符号化して出力するEFM変調回路であって、符号変換により得られる14ビットのチャンネルビットをNRZI符号化されたパラレルデータとし、このパラレルデータの全ビット加算値と全反転ビット加算値の差に相当するDSVを算出するDSV計算回路を具備してなるEFM変調器。

(2) 前記DSV計算回路は、14ビットのチャンネルビットをNRZI符号化し、パラレルデータとして出力するNRZI符号化回路と、こ

のNRZI符号化回路の出力パラレルデータを全ビット加算する加算回路と、この加算回路の加算出力から7を減ずる減算回路と、この減算回路の減算出力を2倍する倍加回路からなる請求項1記載のEFM変調器。

## 3. 発明の詳細な説明

## [産業上の利用分野]

この発明は、相前後するチャンネルビットを結合する結合ビットの選択を高速化したEFM変調器に関する。

## [従来の技術]

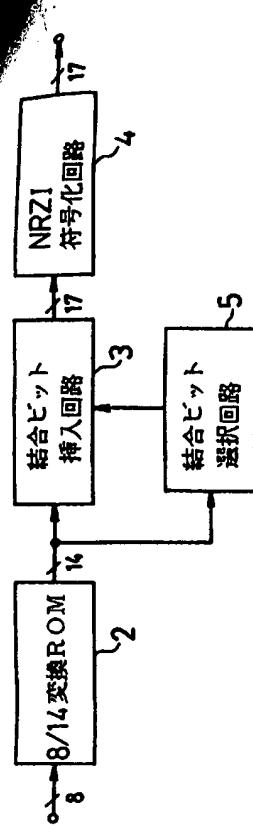
CDプレーヤにより再生されるコンパクトディスクには、信号再生時のトラッキングサーボに適したEFM変調記録が採用されている。第2図に示すEFM変調器1は、誤り訂正処理を施した8ビットのデータビットを、8/14変換ROM2にて14ビットのチャンネルビットに変換し、さらに統く結合ビット挿入回路3にて、相前後するチャンネルビット間に3ビットの結合ビットを挿入したのち、NRZI符号化回路4にてNRZI

Diagram illustrating the combined bit selection circuit (図22-21). The circuit consists of several functional blocks:

- DSV計算回路 (DSV Calculation Circuit):** A block containing 29 AND gates. The inputs are labeled "サインビット" (Sign Bit) and "29". The outputs of these gates are fed into the "減算回路" (Subtraction Circuit) and the "加算回路" (Addition Circuit).
- 減算回路 (Subtraction Circuit):** A block containing 27 AND gates. The inputs are labeled "29" and "27". The outputs of these gates are fed into the "加算回路" (Addition Circuit).
- 加算回路 (Addition Circuit):** A block containing 31 AND gates. The inputs are labeled " LSB" and "31". The outputs of these gates are fed into the "倍加回路" (Multiplication by 2 Circuit).
- 倍加回路 (Multiplication by 2 Circuit):** A block containing 30 AND gates. The inputs are labeled "MSB" and "30". The outputs of these gates are fed into the "結合ビット判定回路" (Combined Bit Judgment Circuit).
- 結合ビット判定回路 (Combined Bit Judgment Circuit):** A block containing 8 AND gates. The inputs are labeled "8" and "28". The outputs of these gates are labeled "26" and "25".
- NRZI符号化回路 (NRZI Symbolization Circuit):** A block containing 25 AND gates. The inputs are labeled "25" and "24". The outputs of these gates are labeled "23" and "25".
- Dフリッフロップ回路 (D Flip-Flop Circuit):** A block containing 14 AND gates. The inputs are labeled "25" and "14". The outputs of these gates are labeled "23" and "25".
- セレクトビット (Select Bit):** A signal labeled "24" that controls the D flip-flop circuit.
- クロック信号 (Clock Signal):** A signal labeled "25" that controls the NRZI symbolization circuit.

四二二 第

1



### 第3回 結合ビット選択信号

チャーチル博士

